

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-040979

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/36

(21)Application number : 2000-228409

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.07.2000

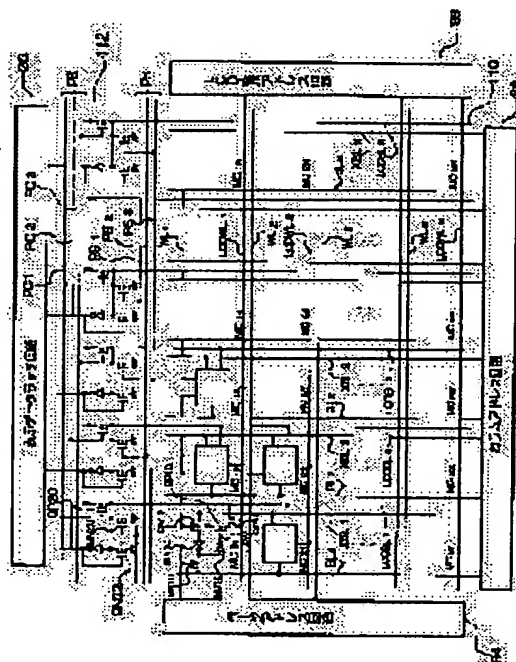
(72)Inventor : MATSUYAMA SHIGERU

(54) DRIVING DEVICE WITH BUILT-IN STORAGE DEVICE, AND ELECTRO- OPTICAL DEVICE AND ELECTRONIC EQUIPMENT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce useless power consumption by making the driving device perform display driving without reading bit information in unnecessary digits of a display data at a specific point of time.

SOLUTION: A display data RAM 30 relating to this invention has a memory area 110 and a pre-charge circuit 112. The memory area 110 is composed of LCD system bit lines LCDBL1-LCDBLN or the like in which the display data stored in each of the memory cells MC11-MCMN are read. Moreover, the pre-charge circuit part 112 is composed of pre-charge lines PC, preset lines PS, or the like. Bit information in specific digits of the display data stored in the memory cells can be read by selectively supplying a potential to each of these plural pre-charge lines PC, and power consumption of the display driving device can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-40979

(P2002-40979A)

(43) 公開日 平成14年2月8日 (2002. 2. 8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 9 G 3/20

6 3 1

G 0 9 G 3/20

6 3 1 B 2 H 0 9 3

6 1 1

6 1 1 A 5 C 0 0 6

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0 5 C 0 8 0

5 7 5

5 7 5

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願2000-228409(P2000-228409)

(22) 出願日

平成12年7月28日(2000. 7. 28)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松山 茂

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

Fターム(参考) 2H093 NA16 NA56 NC26 NC28 NC34

NC50 ND06 ND39

5C006 AC02 AF04 AF25 BB11 BF02

BF04 BF15 FA47

5C080 AA10 BB05 DD26 FF09 JJ02

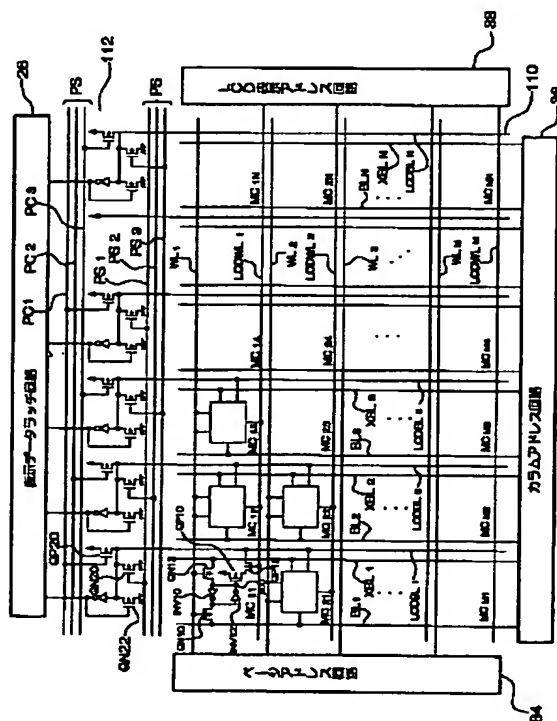
JJ04 KK02

(54) 【発明の名称】 記憶装置を内蔵した駆動装置およびそれを用いた電気光学装置並びに電子機器

(57) 【要約】

【課題】 特定の時点において、表示データのうち不必要な位のビット情報を読み出すことなく表示駆動を行なわせることで、無駄な消費電力を削減する。

【解決手段】 本発明に係る表示データRAM30は、記憶領域110およびプリチャージ回路部112を有している。記憶領域110は、LCD表示アドレス回路38により、メモリセルのMC11~MCMNの各々に記憶された表示データが読み出されるLCD系ビット線LCDBL1~LCDBLNなどを有して構成されている。また、プリチャージ回路部112は、プリチャージ線PCおよびプリセット線PSなどを有して構成されている。この複数のプリチャージ線PCの各々に選択的に電位を供給することで、メモリセルに記憶された表示データの特定の位のビット情報を読み出すことができるようになり、表示駆動装置の低消費電力化が図れる。



(2)

1

【特許請求の範囲】

【請求項1】 表示データに基づいて表示部を駆動させる、記憶装置を内蔵した駆動装置において、前記記憶装置は、複数のメモリセルと、前記複数のメモリセルの各々に表示データを書き込むために選択される複数の第1のワード線と、前記複数の第1のワード線の各々と対となって配置され、前記複数のメモリセルの各々の表示データを読み出すために選択される複数の第2のワード線と、第1のワード線が選択されることにより、対応する複数のメモリセルに表示データを書き込むための複数の第1のビット線と、前記複数の第1のビット線の各々と対となって配置され、第2のワード線が選択されることにより、対応する複数のメモリセルの表示データを読み出すための複数の第2のビット線と、前記複数の第2のビット線の各々に電位を供給するブリチャージ手段と、前記ブリチャージ手段からの電位の供給を制御する複数の第1のスイッチング素子と、前記複数のメモリセルの各々に記憶された表示データを読み出すタイミングに基づいて、前記複数の第1のスイッチング素子の各々の開閉を制御する複数の第1の制御ラインとを有することを特徴とする駆動装置。

【請求項2】 請求項1において、前記複数の第2のビット線の読み出し先には、一方が前記複数の第2のビット線の各々に接続され、他方が各々接地された複数の第2のスイッチング素子をさらに有し、前記複数の第1の制御ラインの各々によって前記複数の第1のスイッチング素子の各々が開閉されるタイミングに基づいて、前記複数の第2のスイッチング素子の各々の開閉を制御する第2の制御ラインを有することを特徴とする駆動装置。

【請求項3】 請求項1または2において、表示データのそれぞれがN（Nは自然数）ビット情報で形成されている場合、前記複数の第1の制御ラインはN本を有し、表示データのそれぞれの内で同一の位に対応する1ビット情報が読み出される前記複数の第2のビット線のうちの一群のビット線の各々と接続された第1のスイッチング素子の開閉が、前記N本の第1の制御ラインの内の同一のラインで制御されることを特徴とする駆動装置。

【請求項4】 請求項3において、前記第2の制御ラインは、前記N本の第1の制御ラインの各々と対となって配置されたN本を有し、表示データのそれぞれの内で同一の位に対応する1ビット情報が読み出される前記複数の第2のビット線のうちの一群のビット線の各々と接続された第2のスイッチ

2

グ素子の開閉が、前記N本の第2の制御ラインの内の同一のラインで制御されることを特徴とする駆動装置。

【請求項5】 請求項1乃至4のいずれかに記載の駆動装置を有することを特徴とする電気光学装置。

【請求項6】 請求項5に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記憶装置を内蔵した駆動装置およびそれを用いた電気光学装置並びに電子機器に関する。

【0002】

【背景技術】液晶装置では、通常、液晶表示パネルを駆動する表示用駆動装置内にフレームメモリーとして機能する記憶装置を設け、この記憶装置から表示データを読み込んで表示する方法が採用されている。例えば、単純マトリックス型の液晶表示パネルでは、フレームレート制御階調法（FRC法）や電圧階調法やパルス幅変調法（PWM）などといった階調表示方法が現在利用されている。このパルス幅変調法では、コモン電極（走査電極）を駆動させるコモン駆動装置によって選択された一水平走査期間（1H）を所要の階調数に分割し、その階調に応じてオン波形を印加する期間を変える方式である。そして、このパルス幅変調法では、階調表示を構成する表示データのビット数で一水平走査期間（1H）を分割し、その分割の際に各ビット毎に重み付けを行なうことにより、液晶印加電圧を制御することができる。他方では、液晶に電圧を印加する際に、上述の表示データを構成する各ビットのうちの、最上位ビット情報だけ、あるいは最下位ビット情報だけといった、ある特定のビット位置の情報を読み出すという必要も生じている。例えば、このような駆動方法は現在では、複数のコモン電極を同時選択するマルチライン駆動法（MLS）などに適用されている。

【0003】

【発明が解決しようとする課題】例えば、2ビットで形成され4階調を表示する表示データを処理する駆動装置をパルス幅変調法により駆動させる場合について説明する。このとき、ある時点において、2ビットのうちの上位1ビットの情報が必要であるとき、同時にその時点では不必要な下位1ビットの情報までも読み出してしまっていた。

【0004】これにより、不必要な下位1ビットを読み出すため、読み出し線の電位をある一定の状態でフローティング状態にしておくためのブリチャージ、またメモリーセルの情報の読み出しの際の消費電流により、無駄な消費電力が使われていた。

【0005】本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ある特定の時点において、表示データの特定の位置のビット

(3)

3

情報を読み出すことができる記憶装置を内蔵した駆動装置並びにそれを用いた電気光学装置および電子機器を提供することにある。

【0006】

【課題を解決するための手段】上述のような課題を解決するために本発明は、表示データに基づいて表示部を駆動させる、記憶装置を内蔵した駆動装置において、前記記憶装置は、複数のメモリセルと、前記複数のメモリセルの各々に表示データを書き込むために選択される複数の第1のワード線と、前記複数の第1のワード線の各々と対となって配置され、前記複数のメモリセルの各々の表示データを読み出すために選択される複数の第2のワード線と、第1のワード線が選択されることにより、対応する複数のメモリセルに表示データを書き込むための複数の第1のビット線と、前記複数の第1のビット線の各々と対となって配置され、第2のワード線が選択されることにより、対応する複数のメモリセルの表示データを読み出すための複数の第2のビット線と、前記複数の第2のビット線の各々に電位を供給するプリチャージ手段と、前記プリチャージ手段からの電位の供給を制御する複数の第1のスイッチング素子と、前記複数のメモリセルの各々に記憶された表示データを読み出すタイミングに基づいて、前記複数の第1のスイッチング素子の各々の開閉を制御する複数の第1の制御ラインとを有することを特徴とする。

【0007】このようにすることで、表示データをメモリセルから読み出す際、その表示データを形成するビット情報の内の特定位置のビット情報のみを読み出すために、特定の第2のビット線をプリチャージし、読み出し処理を行なうことができるようになり、低消費電力化が図られる。

【0008】また、本発明では、前記複数の第2のビット線の読み出し先には、一方が前記複数の第2のビット線の各々に接続され、他方が各々接地された複数の第2のスイッチング素子をさらに有し、前記複数の第1の制御ラインの各々によって前記複数の第1のスイッチング素子の各々が開閉されるタイミングに基づいて、前記複数の第2のスイッチング素子の各々の開閉を制御する第2の制御ラインを有することを特徴とする。

【0009】このように第1の制御ラインの制御と同じタイミングで複数の第2のスイッチング素子の開閉を制御する第2の制御ラインを設けることで、複数の第2のビット線の各々をロウレベルにプリチャージできるようになる。

【0010】また、本発明では、表示データのそれぞれがN（Nは自然数）ビット情報で形成されている場合、前記複数の第1の制御ラインはN本を有し、表示データのそれぞれの内で同一の位に対応する1ビット情報が読み出される前記複数の第2のビット線のうちの一群のビット線の各々と接続された第1のスイッチング素子の開

4

閉が、前記N本の第1の制御ラインの内の同一のラインで制御されることを特徴とする。

【0011】N本の第1の制御ラインのうち、表示データラッチ回路に読み出される表示データに対応した第2のビット線を制御する制御ラインを駆動させることができる。

【0012】これにより、第2のビット線の各々をロウレベルあるいはハイレベルにプリチャージするかを選択的に決定できる。

【0013】また、本発明では、前記第2の制御ラインは、前記N本の第1の制御ラインの各々と対となって配置されたN本を有し、表示データのそれぞれの内で同一の位に対応する1ビット情報が読み出される前記複数の第2のビット線のうちの一群のビット線の各々と接続された第2のスイッチング素子の開閉が、前記N本の第2の制御ラインの内の同一のラインで制御されることを特徴とする。

【0014】このようにすることで、表示データラッチ回路に読み出される表示データに対応した第2のビット線の各々の電位を抜くことができるようになる。これにより、さらに低消費電力化が図られる。

【0015】また、本発明の駆動装置を電気光学装置および電子機器に適用することができる。

【0016】

【発明の実施の形態】以下に本発明の実施形態について図面を用いて説明する。

【0017】（駆動装置について）図1は、例えば、8階調（3ビット）の表示が可能な液晶装置を駆動するための表示用の駆動装置10を示している。

【0018】この駆動装置10は、コモン駆動回路20、セグメント駆動回路22、デコーダ24、表示データラッチ回路26、表示データRAM30、I/Oバッファ回路32、ページアドレス回路34、カラムアドレス回路36、LCD表示アドレス回路38、表示タイミング発生回路40、発振回路42、MPUインターフェイス回路50および入出力バッファ52などの装置を有して構成されている。

【0019】MPUインターフェイス50には、外部のMPU70からの各種信号が入力されるための複数の入力端子（図示しない）を有している。この入力端子としては、チップセレクト端子XCS、データ識別端子A0、データバスラッチ端子XRD、データ取込み端子XWR、リセット端子XRESおよび入力切換え端子P/Sなどが設けられている。

【0020】チップセレクト端子XCSには、駆動装置10がアクティブな状態であるか否かを決定する信号が供給される。データ識別端子A0には、MPU70から供給されるデータが、コマンドデータあるいは表示データのどちらであるかを識別する信号が供給される。データバスラッチ端子XRDに信号が供給されると、データ

(4)

5

バス60がラッチされ、データ信号がデータバス60に出力される。データ取込み端子XWRに信号が供給されると、データバス60上のデータ信号が駆動装置10の内部に取り込まれる。リセット端子XRESに信号が供給されると、デフォルト値に設定される。入力切換え端子P/Sには、パラレルまたはシリアルデータのいずれか一方への入力切換えを行なう。

【0021】入出力バッファ52には、入出力端子D0～D7が設けられている。この入出力端子D0～D7を介して、外部のMPU70によって処理されたコマンドデータおよび表示データがともに駆動装置10に供給される。

【0022】以下には、MPUインターフェイス50に供給された各種信号による駆動装置10内の動作の一例を示す。

【0023】データ識別端子A0に信号「0」が入力されることで、入出力バッファ52にはコマンドデータが入力される。このコマンドデータは、入力切換え端子P/S端子によりシリアルデータとして入出力バッファ52に供給される。さらに、8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてコマンドデコーダ44に供給される。同様に、データ識別端子A0に「1」が入力されると、入出力バッファ52には表示データが入力される。この表示データは、入力切換え端子P/Sによりシリアルデータとして、入出力バッファ52に供給される。さらに、8ビット分のシリアルデータが入出力バッファ52にラッチされた後に、パラレルデータに変換されてデータバス60にパラレルに送出される。コマンドデコーダ44でデコードされたコマンドデータは、表示タイミング発生回路40の動作コマンドとして用いられる他、表示データRAM30に接続された、ページアドレス回路34およびカラムアドレス回路36のそれぞれのアドレス指定などに用いられる。

【0024】ここで、ページアドレス回路34は、外部のMPU70から表示データRAM30にアクセスする場合に、ページ方向のアドレス制御を行なう。同様に、カラムアドレス回路36は、外部のMPU70から表示データRAM30にアクセスする場合に、カラム方向のアドレス制御を行なう。

【0025】一方、データバス60にラッチされたパラレルの表示データは、表示データRAM30のI/Oバッファ回路32を介して、コマンドにより指定されたページ及びカラムの各アドレスに従って、表示データRAM30内の対応するメモリセルの各々へ書き込まれる。

【0026】表示タイミング発生回路40には、クロック信号CL、極性反転化信号FRおよび階調制御信号GCPなどが供給される。表示タイミング発生回路40は、発振回路42により、これらの信号のタイミングを変換する。ここで、クロック信号CLは、液晶パネルの

6

フレーム（1画面）の表示クロックを制御するための信号である。極性反転化信号FRは、液晶パネルにおける各画素の電圧極性を、単位時間毎に変化させるための信号である。階調制御信号GCPは、階調の濃淡のレベルを制御するための信号である。

【0027】表示データRAM30は、液晶パネルにおけるN（Nは自然数）本のセグメント電極SEG₁～SEG_Nと、M（Mは自然数）本のコモン電極COM₁～COM_Mとの交点に対応して形成される画素数（1フレーム分）と同じ数であるM×N個のメモリ素子（メモリセル）を有している。なお、本実施形態では、SRAM（スタティック・ランダム・アクセスメモリ）をメモリセルに用いているが、DRAM（ダイナミック・ランダム・アクセスメモリ）などの記憶装置を適用してもよい。

【0028】この表示データRAM30に記憶された表示データのうち、液晶パネル内の1本のコモン電極に対応する表示データRAM30のメモリセルの情報の各々（1ライン分）は、LCD表示アドレス回路38の制御に基づいて、順次、表示データラッチ回路26に読み出される。表示データは、表示タイミング発生回路40から供給されるクロック信号CLに基づいて、デコーダ24に供給される。デコーダ24によりデコードされた表示データは、セグメント駆動回路22にて、液晶パネルの駆動に必要なレベルの電圧に変換され、セグメント電極SEG₁～SEG_Nの各々に供給される。そしてコモン駆動回路20により、まだ選択されていないコモン電極が、順次、選択されていく。

【0029】（比較例としての表示データRAMについて）本実施形態では、上述のような3ビット（8階調）を単位として形成された表示データを表示駆動させる駆動装置10において、ある時点で、その表示データの各々のうちで同一の位のビット情報を液晶パネルに出力して駆動させる。

【0030】このように表示駆動をさせるための表示データRAM30Aの構成の一例を図4に示す。

【0031】この表示データRAM30Aは、記憶領域110Aおよびプリチャージ回路部104などを有して構成されている。

【0032】この表示データRAM30Aに記憶された表示データのうち、液晶パネル内の1本のコモン電極に対応するメモリセルの情報の各々（1ライン分）は、LCD表示アドレス回路38Aの制御に基づいて、順次、表示データラッチ回路26に読み出される。

【0033】記憶領域100には、外部のMPU70から供給される表示データの書き込み制御を行なうための、M本のワード線WL₁～WL_M、N本のビット線BL₁～BL_N、およびN本のビット対線XBL₁～XBL_Nがそれぞれ配置されている。このそれぞれの線の交差位置に対応して、M×N個のメモリセルMC₁₁～MC_{MN}が配

(5)

7

置されている。さらに、このメモリセル $MC_{11} \sim MC_{MN}$ の各々に対応して、その記憶された情報の各々を液晶パネルに供給またはその供給の制御をするための、N本のLCD系ビット線 $LCDBL_1 \sim LCDBL_N$ 、およびM対のLCD系ワード線 $LCDWL_1 \sim LCDWL_M$ がそれぞれ配置されている。このM対のLCD系ワード線 $LCDWL_1 \sim LCDWL_M$ の各々は、3ビットの表示データに対応して、3本のLCD系ワード線で構成されている。例えば、LCD系ワード線 $LCDWL_1$ は、サフィックス1~3を付した、3本のLCD系ワード線 $LCDWL_1-1 \sim LCDWL_1-3$ から成っている。

【0034】記憶領域110A内に配置されている1つのメモリセル MC_{11} を一例とした場合、Nチャネル型トランジスタ QN_{10} 、12、Pチャネル型トランジスタ QP_{10} 、12、およびインバータ INV_{10} 、12がそれぞれ配置されている。

【0035】メモリセル MC_{11} において、ワード線 WL_1 が選択されることで、Nチャネル型トランジスタ QN_{10} 、12がオンし、ビット線 BL_1 およびビット対線 XBL_1 を介して表示データの書き込み制御が行なわれる。この表示データは、インバータ INV_{10} 、12で構成されるフリップフロップによってラッチされる。また、Pチャネル型MOSトランジスタ QP_{12} のゲートには、LCD系ワード線 $LCDWL_1-1$ が接続されている。

【0036】メモリセル MC_{12} のPチャネル型MOSトランジスタ QP_{12} のゲートにはLCD系ワード線 $LCDWL_1-2$ が、メモリセル MC_{13} のPチャネル型MOSトランジスタ QP_{12} のゲートにはLCD系ワード線 $LCDWL_1-3$ が、それぞれ接続されている。

【0037】また、プリチャージ回路部104は、プリセット線PSを有して構成されている。プリセット線PSは、Nチャネル型MOSトランジスタ QN_{20} の開閉を制御する。そして、このNチャネル型MOSトランジスタ QN_{20} がオンされることで、LCD系ビット線 $LCDBL_1 \sim LCDBL_N$ のそれぞれの方に接地電位 V_{SS} が供給される。

【0038】例えば便宜的に、メモリセル $MC_{11} \sim MC_{13}$ の3ビットで形成される表示データに注目した場合、メモリセル MC_{11} の情報のみを液晶パネルに出力する場合の動作について、以下に説明する。メモリセル MC_{11} の情報のみを選択する場合には、LCD表示アドレス回路38Aにより、LCD系ワード線 $LCDWL_1-1$ が選択される。この後に、メモリセル MC_{11} の情報がLCD系ビット線 $LCDBL_1$ を介して、液晶パネルに出力される。

【0039】このように表示データRAM30Aを構成することで、LCD表示アドレス回路38Aに基づいて、適当なLCD系ワード線を選択した後に、表示データの所定の位のビット情報を読み出すことができる。

8

【0040】しかし、このような構成にした場合、LCD系ワード線の本数は記憶装置のページ（行）方向のメモリセル数、および液晶パネルで表示する階調数に比例して増加し、表示データRAM30Aのサイズが大きくなってしまいう問題が生ずる。

【0041】そこで、以下に説明する図2に示すような表示データRAM30を用いることにする。

【0042】（本実施形態に係る表示データRAMについて）図2は本実施形態に係る駆動装置10に内蔵された、表示データRAM30の回路構成を示している。

【0043】この表示データRAM30は、記憶領域110およびプリチャージ回路部112を有している。

【0044】プリチャージ回路部112は、電位 V_{DD} を供給するプリチャージ回路、プリチャージ線PCおよびプリセット線PSを有して構成されている。

【0045】このプリチャージ線PCは、Pチャネル型MOSトランジスタ QP_{20} の開閉を制御する。そして、このPチャネル型MOSトランジスタ QP_{20} がオンされることで、LCD系ビット線 $LCDBL_1 \sim LCDBL_N$ のそれぞれの方に電源電位 V_{DD} が供給される。

【0046】プリセット線PSは、Nチャネル型MOSトランジスタ QN_{20} の開閉を制御する。そして、このNチャネル型MOSトランジスタ QN_{20} がオンされることで、LCD系ビット線 $LCDBL_1 \sim LCDBL_N$ のそれぞれの方に接地電位 V_{SS} が供給される。

【0047】ここで、本実施形態では、3ビットを単位として形成された表示データを用いている。このため、プリチャージ線PCは3本のプリチャージ線 $PC_1 \sim PC_3$ 、プリセット線PSは3本のプリセット線 $PS_1 \sim PS_3$ がそれぞれ対と成って構成されている。

【0048】なお、インバータ INV_{20} はLCD系ビット線 $LCDBL_1 \sim LCDBL_N$ のそれぞれに読み出される論理出力を逆転させるように機能する。同時に、Nチャネル型MOSトランジスタ QN_{22} は、LCD系ビット線 $LCDBL_1 \sim LCDBL_N$ のそれぞれに読み出される論理出力の振幅レベルを維持するように機能させるために設けられている。

【0049】図3は、パルス幅変調方式（PWM）で駆動された液晶パネルにおいて、表示データRAM30に記憶された表示データが読み出されるタイミングチャートを示している。なお、上述したように、表示データは3ビットを単位として形成されており、例えば、メモリセル MC_{11} 、 MC_{12} および MC_{13} の単位で1つの表示データを表している。この図3で、例えば3ビットで形成される表示データであるメモリセル $MC_{11} \sim MC_{13}$ の内で、最上位ビットであるメモリセル MC_{11} のデータが読み出されるとき動作を以下に説明する。

【0050】LCD表示アドレス回路38により、LCD表示部の対象となるライン（走査線）が選択された後

9

の時点 t_1 において、プリチャージ線 PC_1 、およびプリセット線 PS_1 が共に選択される。この時点 t_1 では、プリチャージ線 PC_1 にはハイレベル「H」、プリセット線 PS_1 にはハイレベル「H」の電位がそれぞれ供給される。そして、Nチャンネル型MOSトランジスタ $QN20$ がオンし、Pチャンネル型MOSトランジスタ $QP20$ はオフすることで、LCD系ビット線 $LCDBL_1$ がロウレベル「L」にプリチャージされる。このとき、LCD系ビット線 $LCDBL_2$ 、 $LCDBL_3$ は共に、ハイレベル「H」の電位が供給され、ロウレベル「L」にプリチャージされない。

【0051】時点 t_2 においては、プリチャージ線 PC_1 はロウレベル「L」になり、プリチャージは終了する。この後に、LCD系ワード線 $LCDWL_1$ が選択され、これによりメモリセル MC_{11} の情報がLCD系ビット線 $LCDBL_1$ を介して、表示データRAM30の外部に読み出される。このとき、プリセット線 PS_2 、 PS_3 は共にロウレベル「L」なので、Pチャンネル型MOSトランジスタ $QP20$ はオンし、LCD系ビット線 $LCDBL_2$ 、 $LCDBL_3$ とともに電源電位 VDD レベルであるハイレベル「H」にはチャージされる。このため、メモリセル MC_{12} 、 MC_{13} の情報は共にLCD系ビット線上に読み出されることはない。つまり、以上説明した動作においては、最上位ビットであるメモリセル MC_{11} の情報が、表示データRAM30の外部に読み出されることになる。

【0052】この読み出された情報は、時点 t_2 から時点 t_3 にかけてセグメント駆動回路22を介して液晶パネルに供給される。

【0053】LCD表示アドレス回路38により選択されたメモリセルの情報が、以下同様の動作によって、読み出されることになる。

【0054】このように、表示データRAM30を動作させることで、ある時点に、表示データの中位ビット情報あるいは最下位ビット情報などを選択して読み出すことができるようになる。

【0055】以上説明した通り、本実施形態では以下のような効果を奏する。

【0056】表示用駆動装置に組み込まれた記憶装置に記憶された表示データのうち、不必要なビット位置のデータをプリチャージし、かつ読み出すことなく、特定のビット位置のみをプリチャージかつ読み出して液晶パネルに供給することができる。これにより低消費電力化を図ることができるようになる。

【0057】また、LCD系ワード線を増やすことなく、表示データRAMを構成でき、これにより記憶装置自体のサイズの増大を抑えることができる。

(6)

10

【0058】なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した実施の形態では、3ビットで形成される表示データを用いたが、8ビットで形成され256階調を表示する表示用駆動装置に本発明を適用することも当然に可能である。この場合、8対のプリチャージ線 $PC_1 \sim PC_8$ 、プリセット線 $PS_1 \sim PS_8$ が必要になる。

【0059】本実施形態ではTFT型の液晶装置を用いて説明したが、他の種々の方式の表示装置にも適用できる。

【0060】また、本実施形態のLCD系ビット線のように、読み出しを別系統で行なう記憶装置が必要になるものであれば、適用可能である。

【0061】本発明は、例えば、携帯電話、ゲーム機器、電子手帳、パーソナルコンピュータ、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

【図面の簡単な説明】

【図1】本実施形態に係る駆動装置の構成を示す図である。

【図2】図1に示す表示データRAMの構成を示す図である。

【図3】図2に示す表示データRAMからの表示データの読み出し動作を示す図である。

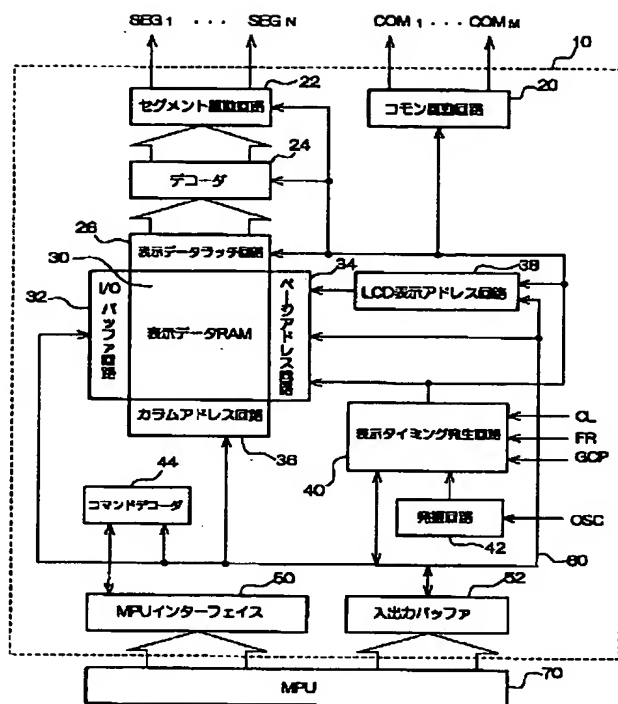
【図4】図2に示す表示データRAMの変形例を示す図である。

【符号の説明】

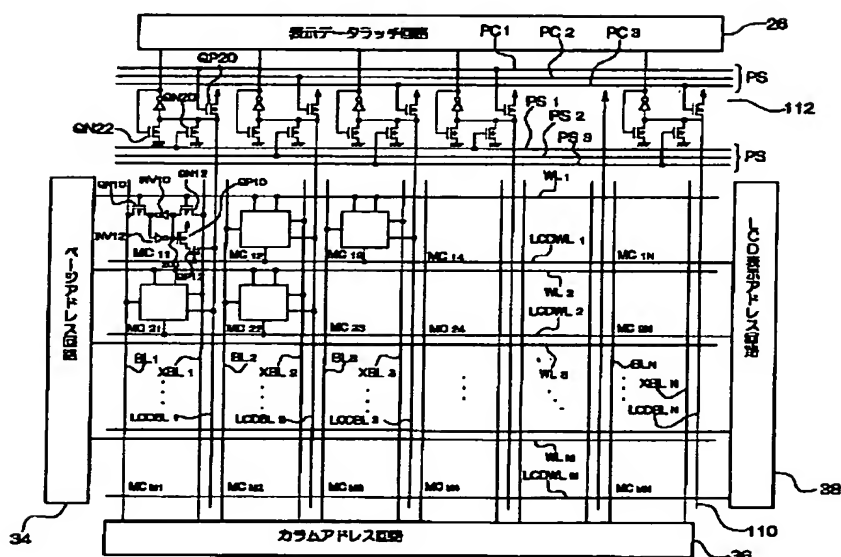
- 10 駆動装置
- 20 コモン駆動回路
- 22 セグメント駆動回路
- 24 デコーダ
- 26 表示データラッチ回路
- 30, 30A 表示データRAM
- 32 I/Oバッファ回路
- 34 ページアドレス回路
- 36 カラムアドレス回路
- 38, 38A LCD表示アドレス回路
- 40 表示タイミング発生回路
- 42 発振回路
- 44 コマンドデコーダ
- 50 MPUインターフェイス
- 52 入出力バッファ
- 60 バスライン
- 70 MPU
- 110, 110A 記憶領域
- 104, 112 プリチャージ回路部

(7)

【図1】

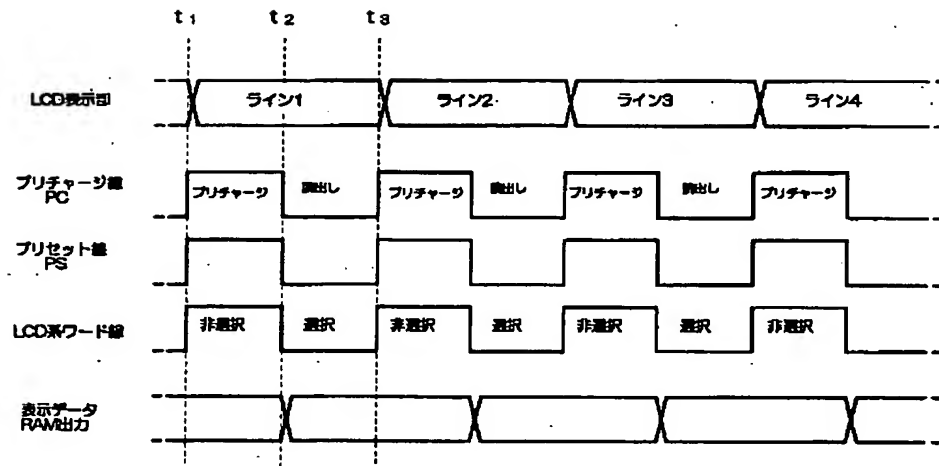


【図2】



(8)

【図3】



【図4】

